

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-154981

(43)Date of publication of application : 09.07.1987

(51)Int.Cl.

H04N 5/335
H01L 27/14

(21)Application number : 60-292900

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.12.1985

(72)Inventor : OZAKI TOSHIBUMI
OBA SHINYA
NAKAI MASAOKI
ANDO HARUHISA
AKIMOTO HAJIME

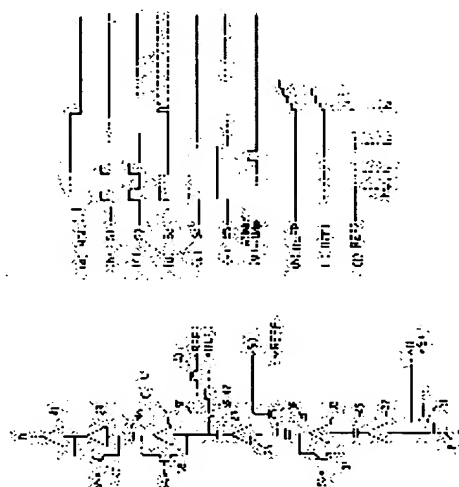
(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PURPOSE: To obtain a solid-state image pickup element which has a high S/N ratio and high resolution by equipping each vertical signal line with a reset switch which resets the vertical signal line and also providing a means which detects the difference between an empty vertical signal line potential after resetting and a vertical signal line potential when a signal is present.

CONSTITUTION: A smear signal is read out firstly when a horizontal blanking period HBL is entered, and potentials of S1-S5 rise, so that switches 31, 34, 36, 38, and 40 are opened. At this time, a false signal such as a smear charged on a vertical signal line 8 is swept out of an element through the switch 31 and the vertical signal line 8 is reset to a voltage V_v applied to a terminal R.

Further, the input terminal of an amplifier 35 is reset to a reference voltage V_{REFP} ($t=t_1$) and then the switch 31 is closed, so that the vertical signal line potential fluctuates by v_n owing to a kTC noise ($t=t_2$). The switch 34 is closed some time delay later to activate an amplifier 33, and variation in the potential of the vertical signal line after said time is multiplied by G_1G_2 and appears at the output terminals of the amplifier 33 ($t=t_3$). Variation in the potential of the vertical signal line after time t_3 is only potential variation due to the generation of a smear charge.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-154981

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月9日

H 04 N 5/335
H 01 L 27/14
H 04 N 5/335

P-8420-5C
7525-5F
E-8420-5C

審査請求 未請求 発明の数 3 (全10頁)

⑮ 発明の名称 固体撮像素子

⑯ 特 願 昭60-292900

⑰ 出 願 昭60(1985)12月27日

⑱ 発 明 者 尾 崎 俊 文 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 大 場 信 弥 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 中 井 正 章 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 安 藤 治 久 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 中村 純之助
最終頁に続く

明 細 書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

(1) 同一半導体基板上に、2次元状に配列された光電変換素子と、該光電変換素子を選択するための垂直走査回路ならびに水平走査回路と、上記垂直走査回路の選択信号により開閉し、一端が上記光電変換素子に接続される垂直スイッチと、該垂直スイッチの一端をつなぐ垂直信号線とによりなる固体撮像素子において、上記垂直信号線ごとに該垂直信号線をリセットするリセットスイッチを備え、リセット後の空の上記垂直信号線電位と、信号がある場合の上記垂直信号線電位との差を検知出力する手段を備えたことを特徴とする固体撮像素子。

(2) 同一半導体基板上に、2次元状に配列された光電変換素子と、該光電変換素子を選択するための垂直走査回路ならびに水平走査回路と、上記

垂直走査回路の選択信号により開閉し、一端が上記光電変換素子に接続される垂直スイッチと、該垂直スイッチの一端をつなぐ垂直信号線とによりなる固体撮像素子において、上記垂直信号線ごとにスミア信号とスミア信号の混入した信号との差を検知し出力する手段を設けたことを特徴とする固体撮像素子。

(3) 同一半導体基板上に、2次元状に配列された光電変換素子と、該光電変換素子を選択するための垂直走査回路ならびに水平走査回路と、上記垂直走査回路の選択信号により開閉し、一端が上記光電変換素子に接続される垂直スイッチと、該垂直スイッチの一端をつなぐ垂直信号線とによりなる固体撮像素子において、上記垂直信号線ごとにアナログ信号をデジタル信号に変換する回路を設けたことを特徴とする固体撮像素子。

(4) 上記デジタル信号は、上記アナログ信号を逐次階段波状の参照電圧と比較することにより、変換するものであることを特徴とする特許請求の範囲第3項に記載した固体撮像素子。

(5) 上記垂直信号線は、垂直信号線ごとの電位変動を検知増幅する増幅器を設けたものであることを特徴とする特許請求の範囲第1項ないし第4項のいずれかに記載した固体撮像素子。

(6) 上記垂直信号線は、与えられた比較電位差により、上記比較電位差の増幅後の出力を出力側の比較電位差と比較することにより、上記増幅器の利得ばらつきを検知し、検知結果にもとづき上記利得ばらつきを補正する手段を設けたことを特徴とする特許請求の範囲第5項に記載した固体撮像素子。

(7) 上記利得ばらつきは、上記垂直線ごとにアナログ出力を逐次階段波状の参照電圧と比較することにより、デジタル変換する回路を設け、上記階段波の1ステップを利得ばらつきの検知結果をもとに、垂直信号線ごとに変化させて補正したものであることを特徴とする特許請求の範囲第6項に記載した固体撮像素子。

- 3 -

つぎの動作を行う。まず、水平ブランキング期間中に、垂直走査回路2により選択された行の垂直ゲート線3の電圧が高くなり、垂直スイッチ4が開き、信号電荷がホトダイオード1から垂直信号線8に送られる。その後、水平走査期間においては、水平走査回路5が動作し水平スイッチ6が順次開閉し、信号電荷は順次素子外部の増幅器7により増幅され出力される。

上記のMOS型固体撮像素子は、他の代表的な2次元固体撮像素子の一種であるCCD型固体撮像素子に比べ、ホトダイオード1と垂直スイッチ4よりなる受光部の構造が簡単であるために、光利用率が高く、かつ高い歩留りが得られる。しかしながら、雑音が大きく、信号対雑音比（以下S/N比という）が低い。

一方、全ての固体撮像素子は、明るい被写体を写したときに再生画の上下に白く尾を引く垂直スミア現象が生じ、高照度における画像劣化の要因になる。

また、テレビジョンシステムは今後高精細化の

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、高感度、低スミア、高解像度を実現するのに好適なMOS型固体撮像素子に関するものである。

〔発明の背景〕

従来、2次元固体撮像素子の代表的な一種としてMOS型固体撮像素子が知られている(M. Aoki et al: アイエスエスシー・ダイジェスト・オブ・テクニカル・ペーパーズ、p26、Feb. 13、1980)。上記素子は第6図に示すような回路構成によっている。第6図において、1は2次元状に配置されて光電変換を行うホトダイオード、2は各行を選択する垂直走査回路、3は上記垂直走査回路からの選択信号を各垂直スイッチに導く垂直ゲート線、4は上記垂直走査回路からの選択信号により開閉する垂直スイッチ、5は各行の選択を行う水平走査回路、6は水平走査回路からの選択信号により開閉する水平スイッチ、7は素子外部の増幅回路、8は垂直信号線である。上記回路は

- 4 -

方向をとり、その一例として走査線数が1125本で、画面の縦横比が3対4の方式が注目されている。上記方式を用いたシステムには、信号帯域幅が0～30MHzのテレビジョンカメラを使用する必要がある（熊田：テレビジョン学会、1982年全国大会SP1-1、p.373）。上記カメラに用いられる固体撮像素子には60MHz以上の走査速度が要求され、従来のMOS型素子やCCD型素子では、実験の結果、現状技術で実現するのが困難である。

〔発明の目的〕

本発明は、MOS型固体撮像素子の高い信号利用率と高歩留りを保ちながら、雑音およびスミアの低減をはかり、高速走査が可能な信号読出し方法を実現し、高S/Nで高解像度を有する固体撮像素子を得ることを目的とする。

〔発明の概要〕

発明者等の検討によれば、MOS型固体撮像素子の主雑音源の1つは、水平スイッチの熱雑音により発生するkTC雑音である。上記雑音は、水平スイッチが開閉する際に、水平スイッチの熱雑

音により垂直信号線のリセット電位がゆらぐことによって発生する。kTC雑音はCCD型固体撮像素子の出力部において発生するリセット雑音と同種のものである。CCD素子においては、上記雑音を低減するために、相関2重サンプリング法(H. H. WHITE et al: ジャーナル・オブ・ソリッドステイト・サーキット、vol. SC-9, No.1, p1~12, Feb. 1974)が広く用いられている。本発明は上記相関2重サンプリング法を行う回路をMOS型固体撮像素子の各垂直信号線ごとに設け、水平スイッチの熱雑音により発生するkTC雑音を抑圧するものである。このため本発明は、同一半導体基板上に、2次元状に配列された光電変換素子と、該光電変換素子を選択するための垂直走査回路ならびに水平走査回路と、上記垂直走査回路の選択信号により開閉し、一端が上記光電変換素子に接続される垂直スイッチと、該垂直スイッチの一端をつなぐ垂直信号線よりなる固体撮像素子において、上記垂直信号線ごとに該垂直信号線のリセットするリセットスイッチを備え、リセッ

- 7 -

記スミア差動方式を行う回路を各垂直信号線ごとに設けることにある。このため、まず垂直スミアだけを出し、つぎに垂直スミアの重畳された信号電荷を読み出し、これら2つの差をとることにより信号電荷を出力する。

上記本発明の素子を実現するためには、各垂直信号線の電位を検知増幅する増幅回路が不可欠となる。しかし、各垂直信号線に設けられる増幅器の利得は、半導体製造工程におけるばらつきのために各垂直信号線ごとに均一にならない。その結果、固定パタン雑音といわれる縦筋状の雑音が発生し、高S/Nを得ることが困難になる。上記固定パタン雑音を抑圧するために、本発明の素子では各列ごとにA/Dコンバータを設け、A/D変換に際して各垂直信号線ごとに利得の補正を行う。さらに、各列ごとにA/Dコンバータを設けた結果、各垂直信号線ごとの信号出力はデジタル値として出力バッファメモリに蓄えられる。素子外部への信号出力は、上記出力がバッファメモリを順次アクセスしてなされるが、デジタル系であるた

- 9 -

ト後の空の上記垂直信号線電位と、信号がある場合の上記垂直信号線電位との差を検知する手段を設けたことにより、まず垂直信号線のリセットしてkTC雑音だけを出し、つぎに信号電荷をホトダイオードより垂直信号線に送り、kTC雑音が重畳された信号を出力し、上記2つの差をとることにより真の信号を出力するものである。

ところで、MOS型固体撮像素子の垂直スミアは、1水平走査期間中に光の漏れ込み等により垂直信号線に余分な電荷が発生し、信号電荷に混入するために生じる。上記の本発明による素子においては、垂直信号線のリセット後に信号電荷をホトダイオードから垂直信号線に送るために、スミアの信号が混入する時間は、従来に比し $1/20 \sim 1/50$ に低減することができ、したがってスミアを減少させることができる。

一方、垂直スミアを低減する非常に有効な手段として、小沢他の1984年テレビジョン学会全国大会予稿集、3-15, pp67に記載されているスミア差動方式がある。本発明のもう一つの主旨は、上

- 8 -

めに容易に高速化が図れ、高速走査に適している。

〔発明の実施例〕

つぎに本発明の実施例を図面とともに説明する。第1図は本発明による固体撮像素子の一実施例を示す回路構成図、第2図は上記実施例のダブルサンプリング回路とスミア差動回路およびA/D変換回路を示す回路図、第3図は上記各回路の駆動パルスタイミング図、第4図は上記実施例の出力がバッファおよび利得補正回路を示す回路図、第5図は上記回路の駆動パルスタイミング図である。なお、説明を簡単にするために第1図は 3×4 のホトダイオードマトリックスだけを示し、第2図および第4図には例えば第1図に破線で囲む1列分の回路だけを示し、また素子外部への出力信号は3ビット、補正信号は2ビットの場合を示している。

第1図において、1は2次元状に配列したホトダイオード、2は各行を選択する垂直走査回路、3は垂直ゲート線、4は垂直スイッチ、5は各列の選択を行う水平走査回路、8は垂直信号線、21

は kTC の雑音抑圧を行うダブルサンプリング回路とスメア抑圧を行うスメア差動回路、22は A/D 変換回路、23は出力バッファと利得補正回路である。上記21および22の詳細図である第2図において、Aは垂直信号線8に接続され、B、C、Dは上記23の詳細図である第4図のE、F、Gにそれぞれ接続される。第2図における31は垂直信号線電位をリセットするためのリセットスイッチ、32は垂直信号線8の電位変動を検知増幅するための増幅器で、33、37、39はそれぞれ増幅器を示し、34、38、40はそれぞれ増幅器33、37、39を自己バイアスするためのスイッチ、35、41はバッファ増幅器、36はバッファ増幅器35の入力に A/D 変換のための参照電圧を与えるスイッチ、42および43は第4図に示す利得補正回路からの信号により開閉するスイッチ、45、46、47、48はそれぞれ信号を伝達するための容量、49、50は利得補正のための参照電圧を伝達する容量をそれぞれ示している。上記各増幅器32、33、37、39、41の利得をそれぞれ G_1 、 G_2 、 G_3 、 G_4 、 G_5 、 G_6 とする。第3図

の駆動パルスタイミング図の(a)～(j)に示す各記号は、第2図における各端子の記号に対応しており、HBLは水平ブランキング期間を示す。水平ブランキング期間に入ると、まずスメア信号の読み出しが行われる。S1～S5の電位が高くなり、スイッチ31、34、36、38、40が開く。この時、スメア等の垂直信号線8に蓄えられた類似信号はスイッチ31を通じて端子外部に掃き出され、垂直信号線8は端子Rにかかる電圧 V_R にリセットされる。また、増幅器35の入力端子は参照電圧 V_{REFP} にリセットされる(第3図、 $t = t_1$)。つぎにスイッチ31が閉じ、 kTC 雑音により垂直信号線電位は v_n だけゆらぐ(第3図、 $t = t_2$)。この後ある時間遅れののちスイッチ34が閉じ、増幅器33が活性化され、この時刻以降の垂直信号線の電位変動が増幅器33の出力端に $G_1 G_2$ 倍されて表われる(第3図、 $t = t_3$)。この後 T_{s1} だけ時間が経過したのちスイッチ36が閉じ、増幅器35が活性化され、この時刻以降の増幅器33の出力端の電位変動が増幅器33の出力端に G_3 倍されて表わ

- 11 -

れる。一方、時刻 t_3 以降の垂直信号線電位変動は、スメア電荷の発生による電位変動だけである。したがってスイッチ36が閉じた時点においては、増幅器33の出力端の電位変動 ΔV_{s1} は(1)式になる。

$$\Delta V_{s1} = G_1 G_2 V_{sn} T_{s1} \dots \dots \dots (1)$$

ここに V_{sn} は単位時間当りのスメア電荷による垂直信号線電位変動を示す。すなわち、 kTC 雑音が混入しないスメア信号だけを得ることができ、ダブルサンプルが達成されていることになる(第3図、 $t = t_4$)。

つぎに同様にして信号電荷の読み出しが行われる。すなわち、スイッチ31が再び開閉して垂直信号線がリセットされ、その後スイッチ34が閉じたのち、ある垂直ゲート線(第1図、3)の電位が高くなり、ホトダイオード(第1図、1)より垂直信号線8に信号電荷が送られる。スイッチ34が閉じて時間 T_{s2} を経たのちスイッチ38が閉じ、増幅器37が活性化され、この時刻以降の増幅器35の出力端子の電位変動が G_4 倍されて増幅器37の出

- 12 -

力端子に表われる。この後ある時間遅れてスイッチ40が閉じ、増幅器39も活性化される。

スイッチ38が閉じた時点における増幅器33の出力端子の電位変動 $\Delta V_{s1}'$ は(1)式と同様につぎのようになる。

$$\Delta V_{s1}' = G_1 G_2 (V_{sn} T_{s1} + V_{s2}) \dots (2)$$

ここに V_{s2} は信号電荷による垂直信号線電位変動を示す。すなわち、 kTC 雑音が混入しない信号電荷にスメア電荷が加えられた信号が得られることになる。この結果、時折 t_4 でスイッチ36が閉じてからの増幅器35の出力端の電位変動 ΔV_{s1} は、つぎに示す(3)式になる。

$$\Delta V_{s1} = G_1 G_2 G_3 (V_{sn} (T_{s2} - T_{s1}) + V_{s2}) \dots (3)$$

ここで $T_{s1} = T_{s2}$ とすれば増幅器35の出力端の電位変動 ΔV_{s1} は(4)式のようにになる。

$$\Delta V_{s1} = G_1 G_2 G_3 V_{s2} \dots \dots \dots (4)$$

すなわち、 kTC 雑音もスメア信号も混入しない真の信号成分を増幅することができ、スメア差動が達成されていることになる(第3図、 $t = t_5$)。

その後、水平走査期間に入ると A/D 変換が実

行される。まず、増幅器32、33が非動作状態になる。これは各増幅器32、33の電源を低レベルにすることにより達成される。その後、S3端子にかかる電圧が高レベルとなり、スイッチ36が開きREF1端子に参照電圧 V_{REFP} がかかりスイッチ36が閉じる(第3図、 $t = t_s$)。この時、増幅器35の出力端の電位は信号読み出し終了時点(第3図、 $t = t_s$)に比し、 $-G_1 G_2 G_3 V_s$ だけ変化する。この結果、増幅器41の出力端子の出力は $-G_1 G_2 G_3 G_4 G_5 G_6 V_s$ だけ変化する。その後、REFP端子にかかる参照電位を V_{REFP} より階段波状に ΔV_{REFP} ずつ上げてゆくと、増幅器41の出力電位変動 ΔV_s は(5)式となる。

$$\Delta V_s = G_1 G_2 G_3 G_4 (n \Delta V_{REFP} - G_1 G_2 V_s) \dots (5)$$

ここに n はREF1端子にかかる電圧が V_{REFP} のときを0とし、以降階段波の1ステップごとに1ずつ増加する整数である。したがって、 $G_1 G_2 G_3 G_4$ の値が十分に高ければ、つぎに示す(6)式の時に、増幅器41の出力は高レベルから低レベルに変化する。

- 15 -

REFPは第2図に対応する端子を示す。水平走査期間に入り、A/D変換の動作が始まると、まずREF端子に参照電圧 V_{REF} がかかる。この時、増幅器41の出力は高電圧となっており、スイッチ51は開の状態となっており、端子D1、D2、D3が低電圧となっているので、ノードXはすべて低電位になる(第5図(a) $t = t_s$)。この後、端子REFPにかかる電圧が階段波状に変化するとともに、端子D1、D2、D3の電圧が階段波のステップに応じて高低になる。なお、D1は最小ビットを、D2が次のビットを、D3が最大ビットを示している。階段波のステップ数 n が(6)式になると、増幅器41の出力が高電圧から低電圧になり、スイッチ51が閉じる。この結果、ノードXにはこの時の端子D1、D2、D3の高低の電圧が保持されることになる(第5図(a) $t = t_s$)。この時刻以降、REFPの電圧は増加し、また端子D1、D2の電圧を変化し続けるが、増幅器41の出力は低電圧のままであるので、スイッチ51は閉じたままになる。この結果、A/D変換の

$$n = \frac{G_1 G_2 V_s}{\Delta V_{REFP}} \dots (6)$$

この信号を検知し、 n のデジタル値をバッファメモリに入れることにより、A/D変換が完了する。

第4図において、51はA/D変換器からの信号により開閉するスイッチ、52はA/D変換の結果により開閉するスイッチ、53はA/D変換の結果をメモリ容量54に転送するためのゲート、55は水平走査回路5の選択信号により開閉しメモリ容量52の情報を信号線56に読み出すためのスイッチ、57は信号線の電位を検知し、メモリ容量中の情報の1、0を判別するためのセンスアンプ、58は信号線をリセットするためのプリチャージスイッチで、57、58は各行に1つずつ設けられる。また59はゲイン補正用情報を第2図中のスイッチ42、43に伝達するためのスイッチ、60はノードとの電圧をリセットするためのスイッチである。

第5図において、D1~D3、TG1、TG2、PC1、PC2は第4図中の各対応する端子を、 ϕ_1 、 ϕ_2 は水平走査回路の走査パルス、R、

- 16 -

結果がノードXの高低の電圧として得られることになる。このA/D変換の結果はつぎの水平走査期間に入る前に転送ゲート53が開き、メモリ容量54に転送される。すなわち端子 V_{cc} には高電圧がかかっているため、ノードXの電圧が高電圧の時にはスイッチ52が開き、メモリ容量は高電圧となる(第6図(a) $t = t_s$)。つぎの走査期間には、メモリ容量54に保持された情報が順次読み出される。すなわち、水平走査回路5のパルス ϕ_1 に同期して選択信号が送られ、ある列のスイッチ55が開き、メモリ容量中の信号電荷が信号線56に読み出されるとともに、メモリ容量54が低電圧にリセットされる。信号線に読み出された電荷はセンスアンプ57により検知され、素子外部に読み出される。この後、水平走査回路の他のパルス ϕ_2 に同期して、スイッチ58が開き信号線が端子 V_{cc} の電圧にプリチャージされ、つぎの信号読み出しが可能となる状態になる(第5図(a) $t = t_s$)。

上記で光信号を読み出すための動作が終了するが、つぎに利得補正のための動作について述べる。

- 17 -

- 18 -

光信号のデジタル値を示す n の数は (6) 式で与えられる。従って、利得 G_1 、 G_2 がばらつくと同様の V_s であっても n の数が異なる結果になり、縦縞状の固定パタン雑音といわれる雑音が生じる。そこで参照電圧のステップの大きさを各列ごとに変化させることにより、このゲインの補正を行い、固定パタン雑音を抑圧する。このため、第2図における42、43のスイッチ、49、50の容量ならびに第4図における59、60のスイッチが付加される。

垂直ブランキング期間において、まず、PC2端子に高電圧がかかり、スイッチ60が開き、ノードYが V_{ss} の低い電圧になる(第5図(b) $t = t_0$)。つぎに第3図と同様な動作が生じる。しかし、この時に光信号を読み出すかわりに、信号読み出し時に、R端子の電圧をスミア読み出し時の電圧 V_s に比し ΔR だけ変化させる(第5図(b) $t = t_{10}$)。R端子の変動は光信号と同様に増幅器により増減され、A/D変換がなされる。この時A/D変換に際しては変換のはじめのREF端子にかかる参照電圧を $V_{REFP} + N \Delta V_{REFP}$ とする。

- 19 -

ゲート59を開きノードYに転送する。この結果、利得補正信号 m の値に応じ、スイッチ42、43が開くか閉じるかすることになり、利得補正の準備が完了する(第5図(b) $t = t_{12}$)。

さてこの状態で、信号のA/D変換が行われる時に、REFPの電圧ばかりでなく、REF1、REF2の電圧も同時に ΔV_{REF1} 、 ΔV_{REF2} だけ階段波状に変化させる。この電圧変動は容量49、50を介して増幅器37の入力端子電圧の変化となって現れる。この結果、増幅器41の出力電位変動 $\Delta V_s'$ は (10) 式となる。

$$\Delta V_s' = G_1 G_2 G_0 \left\{ h \left(\frac{G_2 c_p}{c_p + \sum_{i=1}^q a_i c_i} \Delta V_{REFP} + \frac{\sum_{i=1}^q \frac{a_i c_i}{c_p + \sum_{i=1}^q a_i c_i} \Delta V_{REFi}}{G_2 G_0} \right) - \frac{G_2 c_p}{c_p + \sum_{i=1}^q a_i c_i} G_1 G_2 V_s \right\} \quad (10)$$

ここで c_p は容量47の値、 c_i ($i = 1, 2$) は容量49、50の値、 a_i ($i = 1, 2$) は m のデジタ

ここに N はA/D変換の最大ステップ数を示す。PビットのA/D変換を行う場合には 2^P となる(第5図(b) $t = t_{11}$)。以降 V_{REFP} が ΔV_{REFP} だけづつ階段波状に増加し、A/D変換がなされ(7)式で示す m の値を得る。

$$m = \frac{G_1 G_2 \Delta V_R - N \Delta V_{REFP}}{\Delta V_{REFP}} \quad (7)$$

すなわち、 ΔR の増幅された信号 $G_1 G_2 \Delta R$ の参照電圧の最大変化値 $N \Delta V_{REFP}$ の差を電圧きざみ ΔV_{REFP} で割ったものが得られる。今、 ΔR を m が0になるように(8)式のように選ぶ。

$$\Delta R = \frac{N \Delta V_{REFP}}{G_1 G_2} \quad (8)$$

この時、ある列の利得が $d G_1$ 、 $d G_2$ だけ他の列に比し大きいとすると、(9)式の利得補正信号 m を得ることができる。

$$m = N \frac{d G_1 d G_2}{G_1 G_2} \quad (9)$$

A/D変換が終了すると、 m の値はノードXの電圧の高低としてデジタル値で保持されている。この値を端子TG₂の電圧を高くすることにより、

- 20 -

ル値により1か0の値をとる。従って得られる n' の値は (11) 式となる。

$$n' = \frac{G_1 G_2 V_s}{\Delta V_{REFP} \left(1 + \sum_{i=1}^q a_i \frac{c_i}{G_2 c_p} \frac{\Delta V_{REFi}}{\Delta V_{REFP}} \right)} \quad (11)$$

利得のばらつきがない場合には $a_i = 0$ ($i = 1 - q$) であるから (11) 式は (6) 式と同じである。一方、ある列の利得が $G_1 G_2 \left(1 + \frac{d G_1 d G_2}{G_1 G_2} \right)$ とばらついたとすると、(12)式の関係式が成立てば利得のばらつきによらず、正しいA/D変換の結果を得ることができる。

$$\frac{d G_1 d G_2}{G_1 G_2} = \sum_{i=1}^q a_i \frac{c_i}{G_2 c_p} \frac{\Delta V_{REFi}}{\Delta V_{REFP}} \quad (12)$$

一方、(9)式より (13) 式が成立する。

$$\frac{d G_1 d G_2}{G_1 G_2} = \sum_{i=1}^q a_i 2^{i-p} \quad (13)$$

従って、各参照電圧を増幅器37の入力端に入力する容量 c_i ならびに参照電圧のステップ ΔV_{REFi} 間ならびに利得 G_2 の間に (14) 式の関係が成立てば、利得補正ができることになる。

$$2^{i-p} = \frac{c_i}{G_2 c_p} \frac{\Delta V_{REFi}}{\Delta V_{REFP}} \quad (14)$$

- 21 -

- 646 -

- 22 -

すなわち、容量 C_1 を C_0 の 2^{1-P} だけ小さくするが、参照電圧 ΔV_{REFi} を ΔV_{REFP} の 2^{1-P} だけ小さくするか、 G_0 を 2^{P-1} 倍とするかの3つのうちいずれか、もしくはその組合わせにより(14)式を成立させればよいことになる。なお、以上の利得補正は、ゲインが正方向にばらついた場合だけしか実現できないが、R端子にかかる電圧を十分に大きくとり、利得 G_1, G_0 が最小である列について(8)式が成立つようにすれば、常に可能である。また、正、負のどちらのばらつきも補正するようにすることもできる。

上記実施例は列ごとにダブルサンプリング回路を設けることにより、垂直信号線のリセットによるkTC雑音が信号に混入せず、高感度となり、また、列ごとにスミア差動回路を設けることにより、スミアは信号に混入せず低スミアになる。さらに列ごとにA/D変換回路を設けているために、デジタル値を読み出すことができ、高速走査に適し、高解像度化が容易である。さらにまた、列ごとに増幅器を設け、ランダム雑音を低減できる反

面、逆に問題点となる増幅器の利得ばらつきを、A/D変換の際の参照電圧のステップをデジタル的に補正することにより、この利得ばらつきを補正することが可能である。

〔発明の効果〕

上記のように本発明による固体撮像素子は、同一半導体基板上に、2次元状に配列された光電変換素子と、該光電変換素子を選択するための垂直走査回路ならびに水平走査回路と、上記垂直走査回路の選択信号により開閉し、一端が上記光電変換素子に接続される垂直スイッチと、該垂直スイッチの一端をつなぐ垂直信号線よりなる固体撮像素子において、上記垂直信号線ごとに該垂直信号線をリセットするリセットスイッチを備え、リセット後の空の上記垂直信号線電位と、信号がある場合の上記垂直信号線電位との差を検知する手段を設け、また、上記垂直信号線ごとにスミア信号と該スミア信号が混入した信号との差を検知する手段を設け、さらに、上記垂直信号線ごとにアナログ信号をデジタル信号に変換する回路を設けた

- 23 -

ことによって、MOS型固体撮像素子の受光部の構成を変えることなく、雑音を低減し、スミアを原理的になくし、またデジタル値を走査して高速走査が可能となるので、高S/Nで低スミア、かつ高解像度である固体撮像素子を実現することができる。

4. 図面の簡単な説明

第1図は本発明による固体撮像素子の一実施例を示す回路構成図、第2図は上記実施例のダブルサンプリング回路とスミア差動回路およびA/D変換回路を示す回路図、第3図は上記各回路の駆動パルスタイミング図、第4図は上記実施例の出力バッファおよび利得補正回路を示す回路図、第5図は上記回路の駆動パルスタイミング図、第6図は従来のMOS型固体撮像素子の回路構成図である。

- 1…光電変換素子 2…垂直走査回路
- 3…垂直ゲート線 4…垂直スイッチ
- 5…水平走査回路 8…垂直信号線
- 21…ダブルサンプリング回路

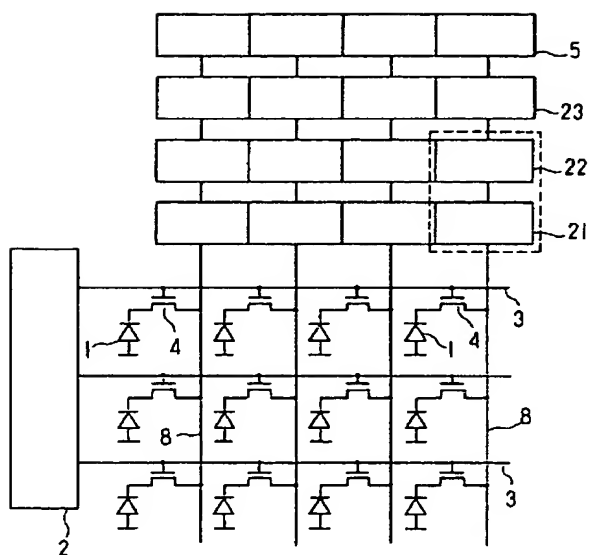
- 25 -

- 24 -

- 22…A/D変換回路 23…出力バッファ
- 31…リセットスイッチ 32、33、37、39…増幅器
- 35、41…バッファ増幅器
- 34、36、38、40、43、51、52、58、60…スイッチ
- 57…センスアンプ 59…ゲート

代理人弁理士 中 村 純 之 助

図 1



1:光電変換素子 2:垂直走査回路 3:垂直ゲート線 4:垂直スイッチ
 5:水平走査回路 8:垂直信号線 21:ダブルサンプリング回路
 22:A/D変換回路 23:出力バッファ 31:リセットスイッチ
 32, 33, 37, 39:増幅器 35, 41:バッファ増幅器
 34, 36, 38, 40, 43, 51, 52, 58, 60:スイッチ 57:センスアンプ 59:ゲート

図 2

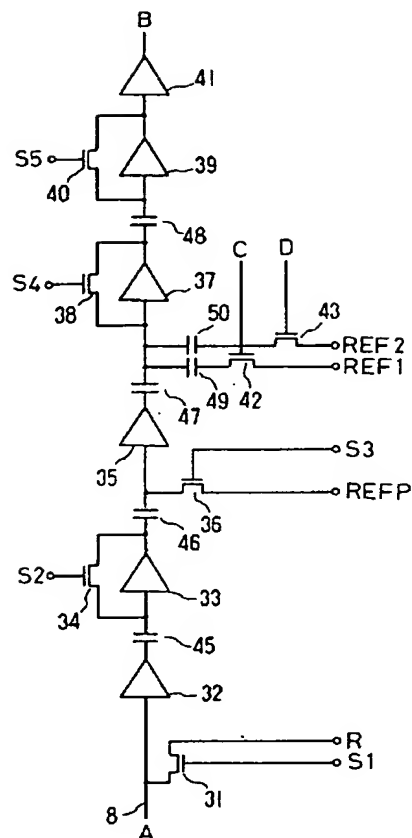


図 3

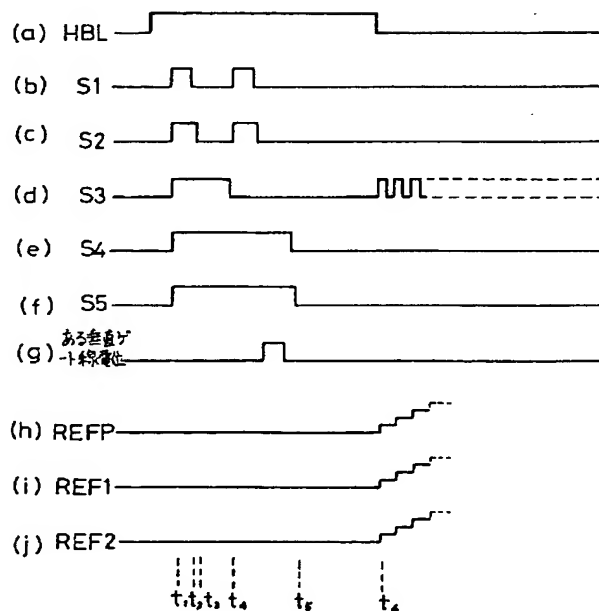


図 4

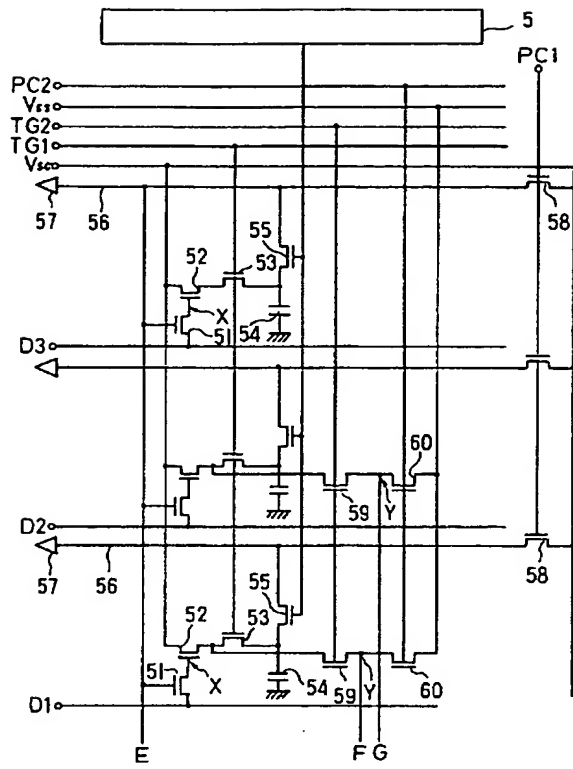
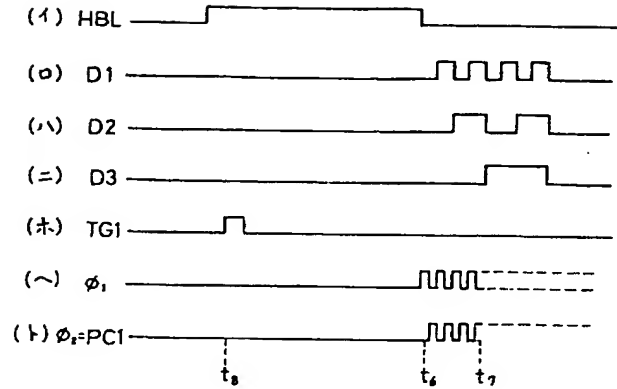


図 5
(a)



(b)

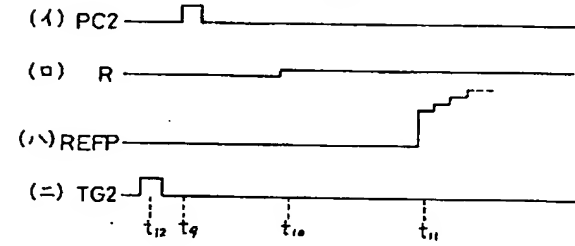
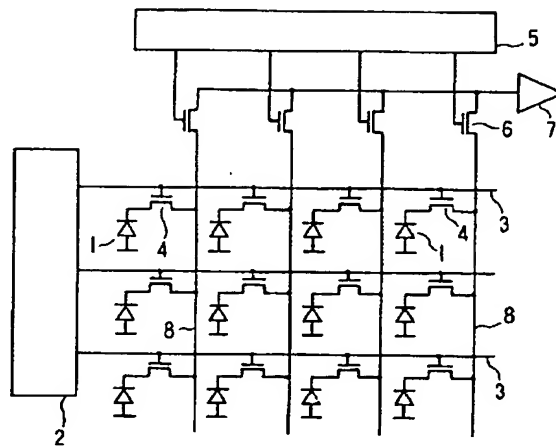


図 6



第1頁の続き

⑦発 明 者 秋 元 肇 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内